

**本科实验报告**

|  |  |
| --- | --- |
| 课程名称： | 数字逻辑电路设计 |
| 姓 名： | 庄毅非 |
| 学 院： | 计算机科学与技术学院 |
| 专 业： | 计算机 |
| 邮 箱： | [zhuangyf@zju.edu.cn](mailto:zhuangyf@zju.edu.cn) |
| QQ 号： | 1099665018 |
| 电 话： | 17346399235 |
| 指导教师： | 洪奇军 |
| 报告日期： | 2023年 11月 28日 |

**浙江大学实验报告**

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 同步时序电路设计

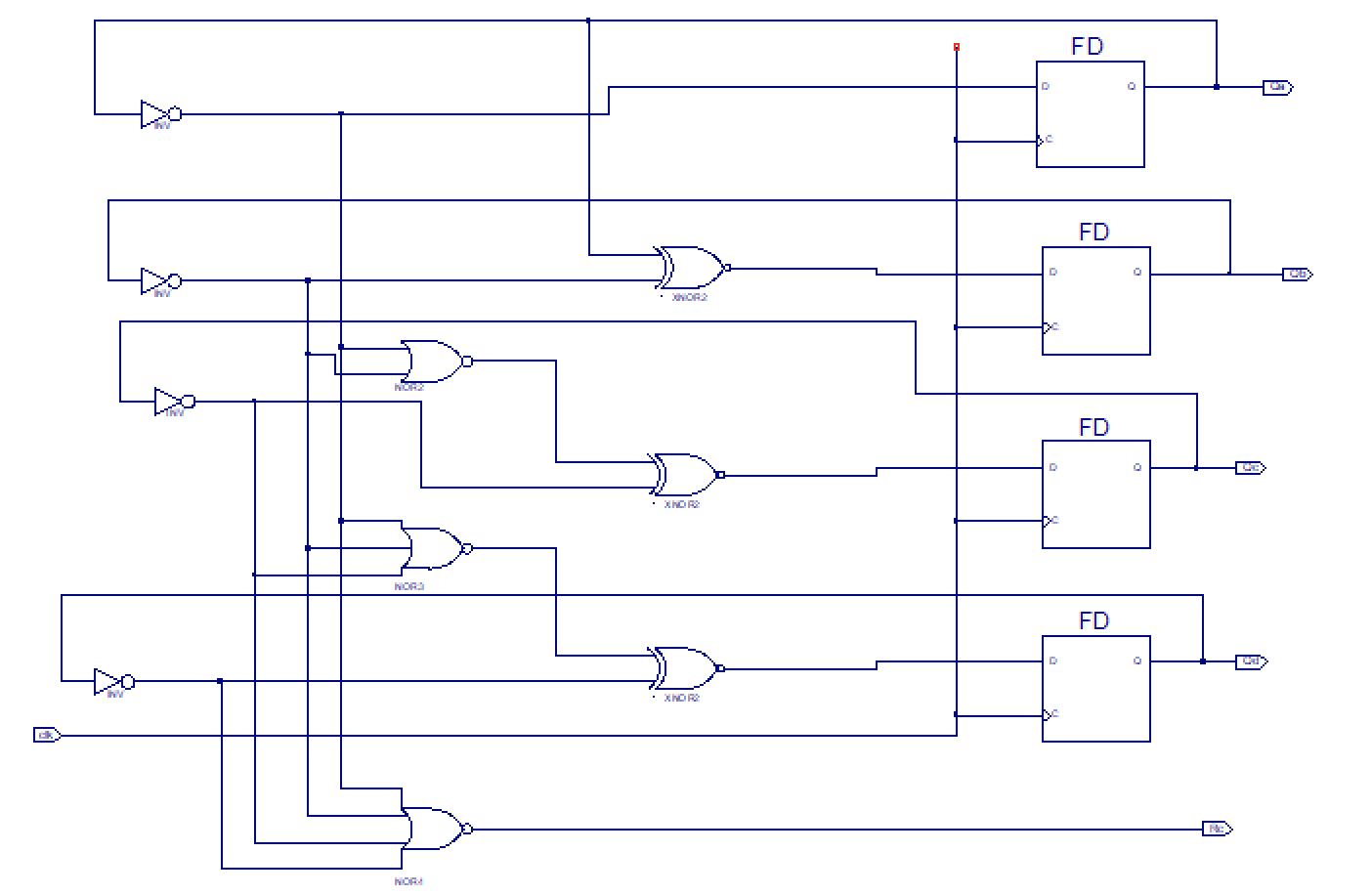
学生姓名： 庄毅非 学号： 3200105872 同组学生姓名：

实验地点： 紫金港东四509室 实验日期： 2023 年 11 月 28 日

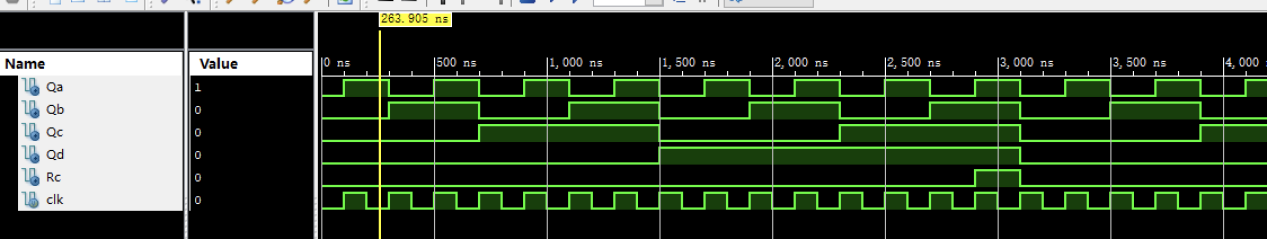
# 操作方法与实验步骤

## 1. 原理图方式设计 4位同步二进制计数器

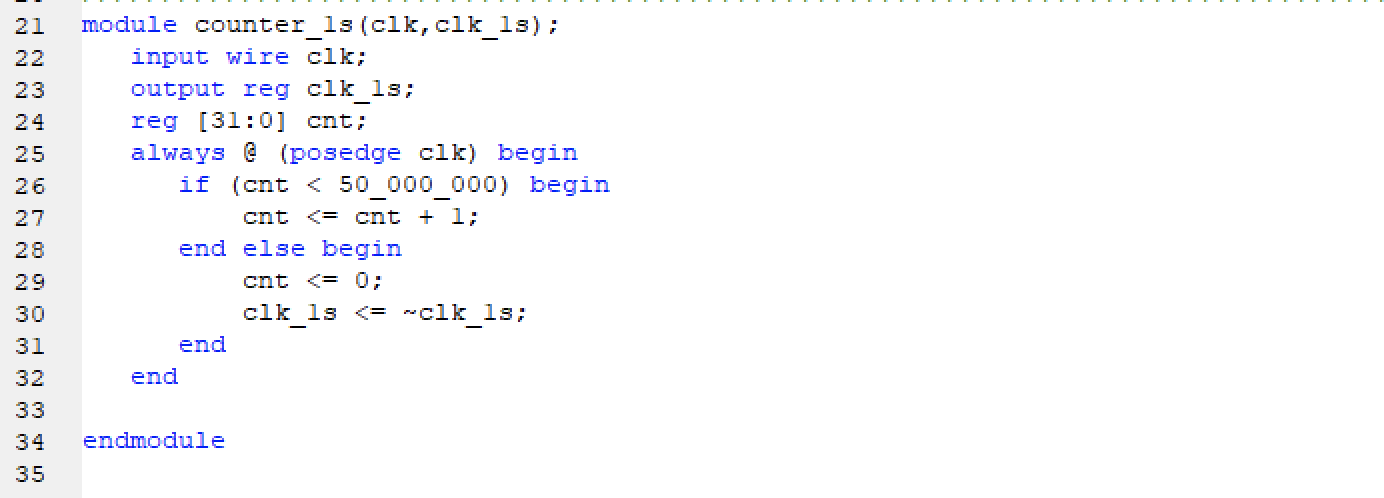
#### 1.1 新建工程， 工程名称用 MyCounter， 新建 Schematic源文件， 文件名称用 Counter4b，用原理图方式设计

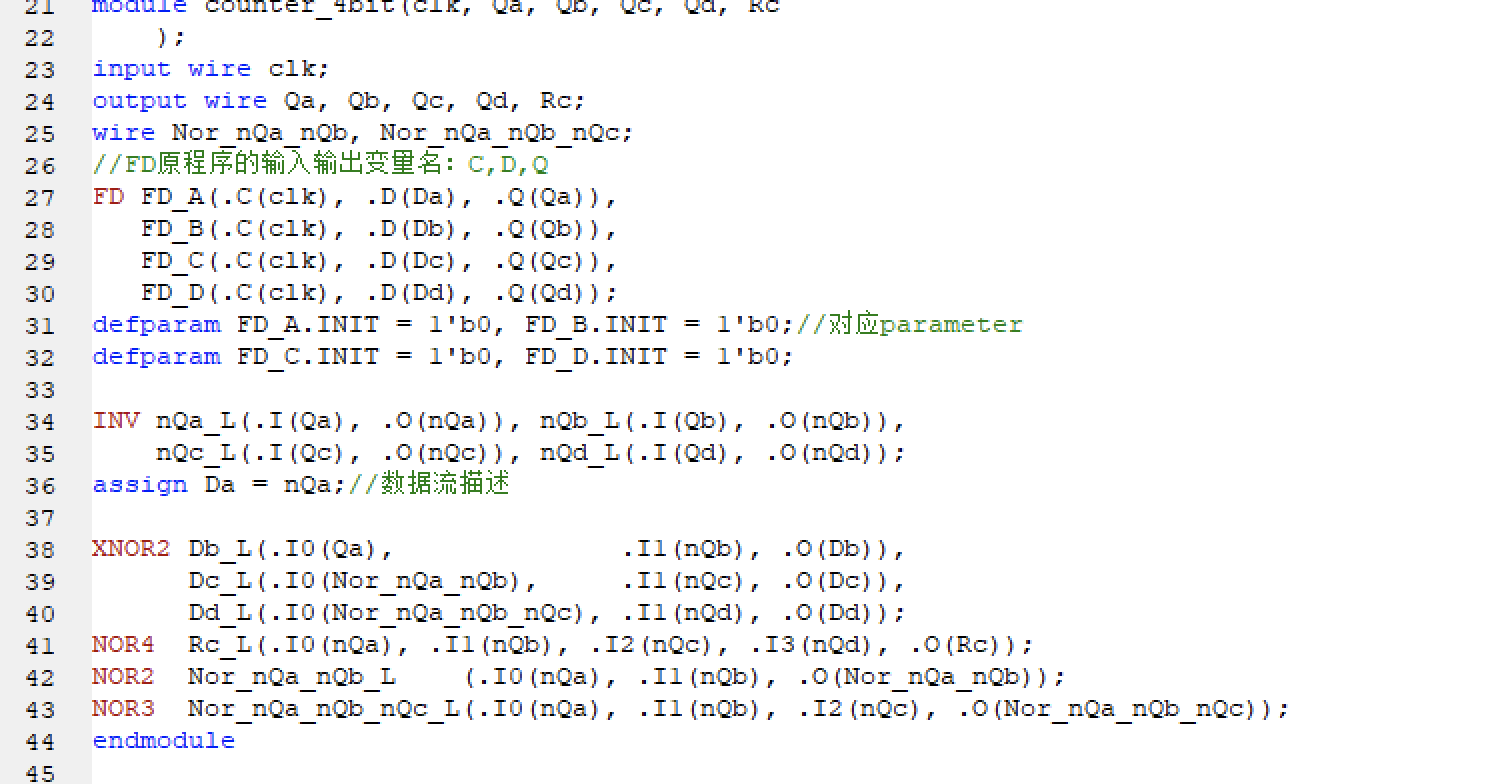


#### 1.2 进行波形测试仿真

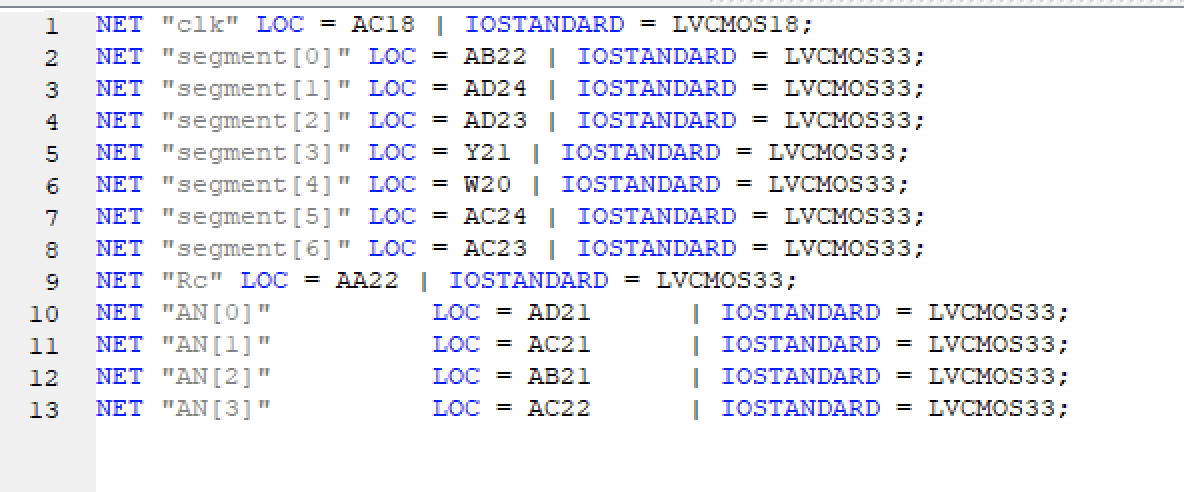


## 1.3.设计clk\_1s

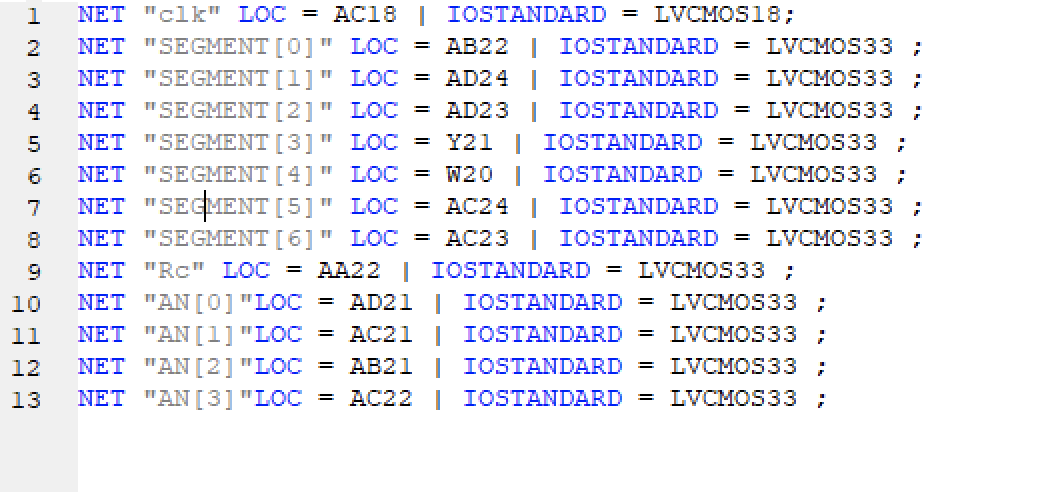
1.4.编写counter\_4bit模块



1.5编写top模块



1.6引脚文件

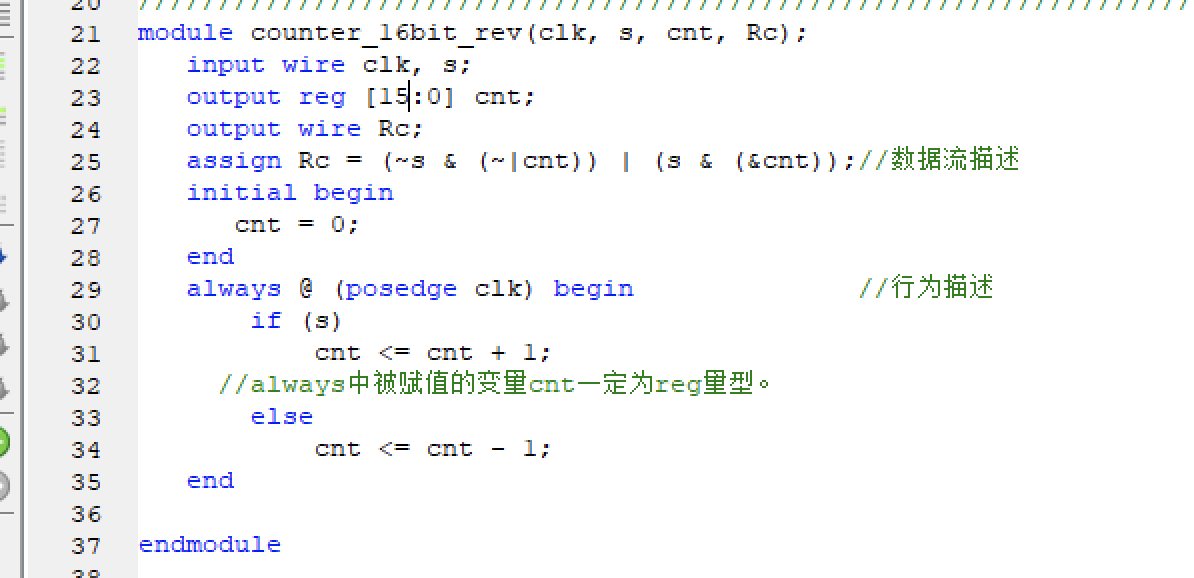


#### 1.7 上板测试

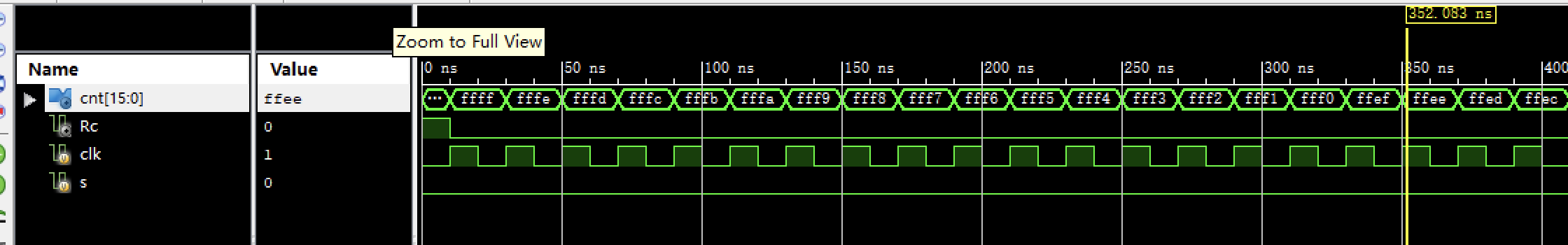
|  |  |  |
| --- | --- | --- |
|  |  |  |

## 设计16位可逆同步二进制计数器

#### 2.1 用Verilog方式设计16位可逆同步二进制计数器。



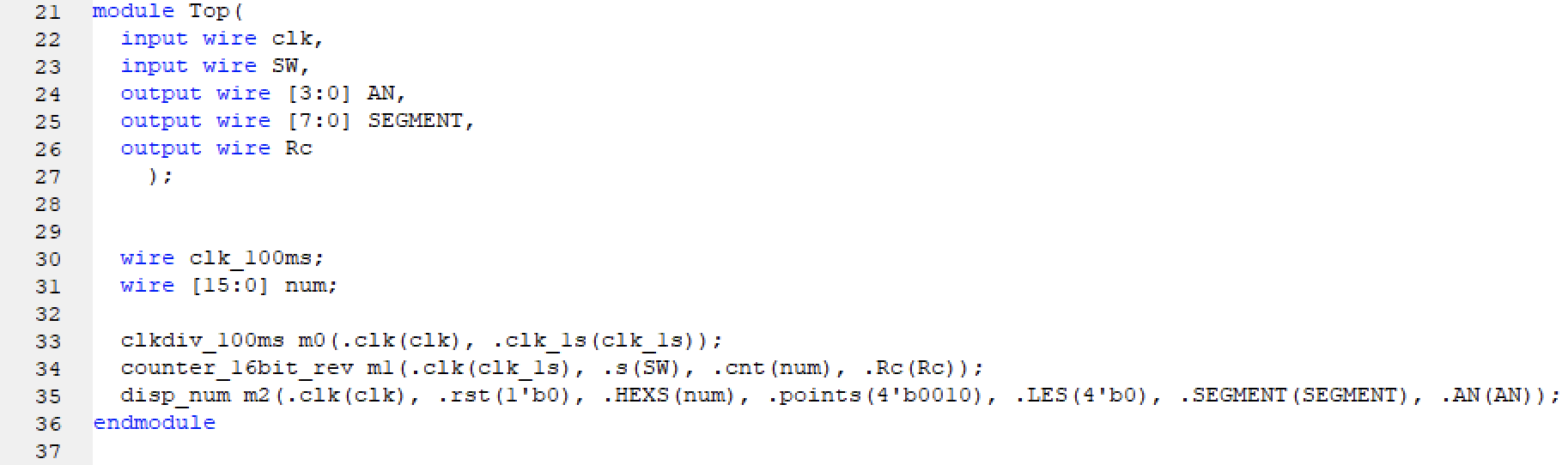
进行仿真，结果如下



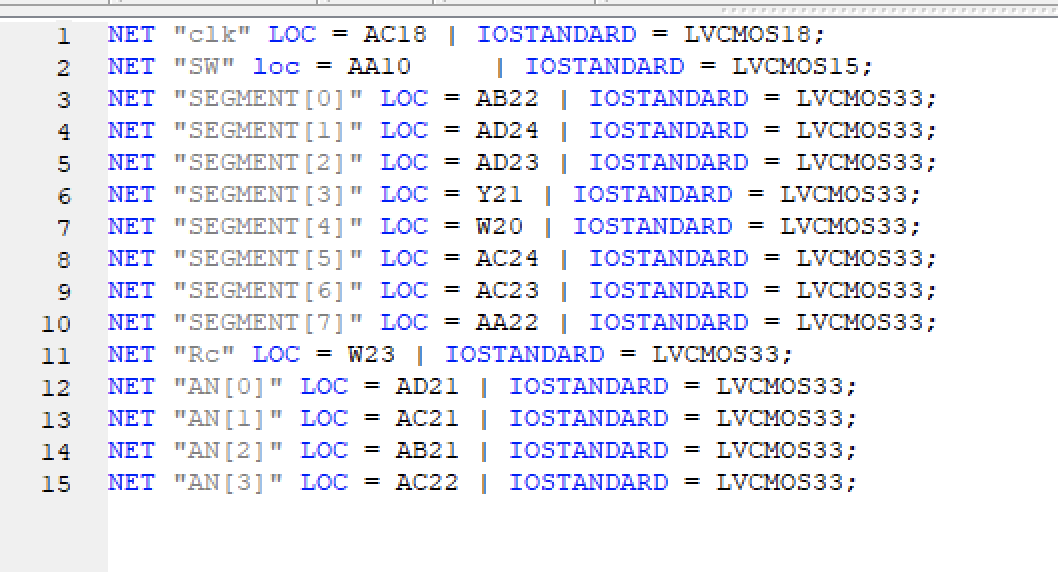
#### 2.2 使用clkdiv模块生成100ms时钟。

## CleanShot 2023-11-27 at 20.23.35@2x

#### 2.3 编写top模块



#### 2.4 编写引脚文件



#### 2.5 上板测试

|  |  |  |
| --- | --- | --- |
|  |  |  |

# 三、个人生活照片

